

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Yoshinori KITAMURA, et al.

GAU:

SERIAL NO: 10/728,928

EXAMINER:

FILED: December 8, 2003

FOR: SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

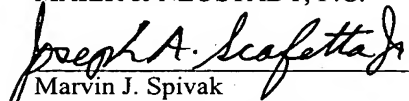
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2003-316794	September 9, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913

Joseph A. Scafetta, Jr.
Registration No. 26, 803

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 9 月 9 日
Date of Application:

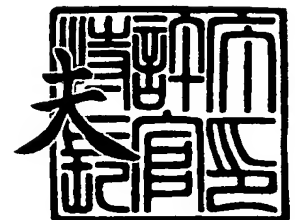
出 願 番 号 特 願 2 0 0 3 - 3 1 6 7 9 4
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 3 1 6 7 9 4]

出 願 人 株 式 会 社 東 芝
Applicant(s):

2 0 0 3 年 1 2 月 2 4 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



【書類名】 特許願
【整理番号】 A000302377
【提出日】 平成15年 9月 9日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 21/00
【発明者】
 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所
 内
 【氏名】 北村 嘉教
【発明者】
 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所
 内
 【氏名】 杉本 茂樹
【特許出願人】
 【識別番号】 000003078
 【氏名又は名称】 株式会社 東芝
【代理人】
 【識別番号】 100058479
 【弁理士】
 【氏名又は名称】 鈴江 武彦
 【電話番号】 03-3502-3181
【選任した代理人】
 【識別番号】 100091351
 【弁理士】
 【氏名又は名称】 河野 哲
【選任した代理人】
 【識別番号】 100088683
 【弁理士】
 【氏名又は名称】 中村 誠
【選任した代理人】
 【識別番号】 100108855
 【弁理士】
 【氏名又は名称】 蔵田 昌俊
【選任した代理人】
 【識別番号】 100084618
 【弁理士】
 【氏名又は名称】 村松 貞男
【選任した代理人】
 【識別番号】 100092196
 【弁理士】
 【氏名又は名称】 橋本 良郎
【手数料の表示】
 【予納台帳番号】 011567
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

素子分離溝によって区画された第 1 及び第 2 の素子形成部を有する半導体基板と、

前記第 1 及び第 2 の素子形成部上にそれぞれ形成された第 1 及び第 2 の下部ゲート絶縁膜と、

前記第 1 及び第 2 の下部ゲート絶縁膜上にそれぞれ形成された第 1 及び第 2 のフローティングゲートと、

少なくとも前記素子分離溝内に形成され且つ上面に凹部を有する素子分離絶縁膜と、

前記第 1 及び第 2 のフローティングゲートの表面上に形成された上部ゲート絶縁膜と、

前記上部ゲート絶縁膜を介して前記第 1 及び第 2 のフローティングゲートに対向形成された部分及び前記凹部内に形成された部分を有するコントロールゲート線と、

を備え、

前記第 1 のフローティングゲートの前記第 2 のフローティングゲートと対向する側面全体が前記第 1 の素子形成部の前記素子分離溝により区切られた側面に整合し、且つ前記第 2 のフローティングゲートの前記第 1 のフローティングゲートと対向する側面全体が前記第 2 の素子形成部の前記素子分離溝により区切られた側面に整合している

ことを特徴とする半導体装置。

【請求項 2】

前記素子分離絶縁膜の最上部は、前記第 1 及び第 2 のフローティングゲートの下面よりも高く位置する

ことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記素子分離絶縁膜の最上部は、前記第 1 及び第 2 のフローティングゲートの上面よりも低く位置する

ことを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 4】

前記コントロールゲート線の最下部は、前記第 1 及び第 2 のフローティングゲートの下面よりも低く位置する

ことを特徴とする請求項 1 に記載の半導体装置。

【請求項 5】

前記上部ゲート絶縁膜は、前記素子分離絶縁膜上に延伸した部分を有する

ことを特徴とする請求項 1 に記載の半導体装置。

【請求項 6】

前記凹部は前記コントロールゲート線によって埋められている

ことを特徴とする請求項 1 に記載の半導体装置。

【請求項 7】

前記素子分離絶縁膜は CVD 法によって形成されたものである

ことを特徴とする請求項 1 に記載の半導体装置。

【請求項 8】

半導体基板上に下部ゲート絶縁膜を形成する工程と、

前記下部ゲート絶縁膜上にフローティングゲート材料膜を形成する工程と、

前記フローティングゲート材料膜、前記下部ゲート絶縁膜及び前記半導体基板をパターンニングして、溝によって区画された第 1 及び第 2 のパターン部を形成する工程と、

前記溝内に第 1 の凹部を有する下部絶縁膜を形成する工程と、

前記下部絶縁膜上に上部絶縁膜を形成して、前記第 1 の凹部を上部絶縁膜で埋める工程と、

前記上部絶縁膜のエッチングレートの方が前記下部絶縁膜のエッチングレートよりも高い条件で前記上部絶縁膜をエッチングして、前記第 1 の凹部に対応した第 2 の凹部を前記下部絶縁膜に形成する工程と、

前記第 1 及び第 2 のパターン部に含まれるフローティングゲート材料膜の表面上に上部

ゲート絶縁膜を形成する工程と、

前記上部ゲート絶縁膜上及び前記第2の凹部内にコントロールゲート材料膜を形成する工程と、

を備えたことを特徴とする半導体装置の製造方法。

【請求項9】

前記溝に垂直なマスクパターンを用いて、前記コントロールゲート材料膜、前記上部ゲート絶縁膜、前記フローティングゲート材料膜をパターンニングする工程をさらに備えた

ことを特徴とする請求項8に記載の半導体装置の製造方法。

【請求項10】

前記第2の凹部が形成された下部絶縁膜の最上部は、前記第1及び第2のパターン部に含まれるフローティングゲート材料膜の下面よりも高く位置する

ことを特徴とする請求項8に記載の半導体装置の製造方法。

【請求項11】

前記上部絶縁膜をエッチングする工程は前記下部絶縁膜の上部をエッチングする工程を含み、エッチング後の下部絶縁膜の最上部は前記第1及び第2のパターン部に含まれるフローティングゲート材料膜の上面よりも低く位置する

ことを特徴とする請求項8に記載の半導体装置の製造方法。

【請求項12】

前記第2の凹部内に形成されたコントロールゲート材料膜の最下部は、前記第1及び第2のパターン部に含まれるフローティングゲート材料膜の下面よりも低く位置する

ことを特徴とする請求項8に記載の半導体装置の製造方法。

【請求項13】

前記溝内に下部絶縁膜を形成する工程は、前記溝外に下部絶縁膜を形成する工程を含み、前記上部絶縁膜をエッチングする工程の前に、前記溝外の下部絶縁膜及び上部絶縁膜を除去する工程をさらに備えた

ことを特徴とする請求項8に記載の半導体装置の製造方法。

【請求項14】

前記下部絶縁膜はCVD法によって形成され、

前記上部絶縁膜は塗布法によって形成される

ことを特徴とする請求項8に記載の半導体装置の製造方法。

【書類名】明細書

【発明の名称】半導体装置及びその製造方法

【技術分野】

【0001】

本発明は、半導体装置及びその製造方法に関する。

【背景技術】

【0002】

近年、EEPROM等の不揮発性半導体記憶装置の需要が増大してきている。不揮発性半導体記憶装置において、ワード線方向で隣接するメモリセル間の距離が近づいてくると、隣接するフローティングゲート間の容量結合が増大するという問題が生じる。

【0003】

このような問題を解決するために、メモリセル間に設けられた素子分離絶縁膜に凹部を形成し、この凹部内にコントロールゲート線（ワード線）を形成する方法が提案されている（例えば、特許文献1参照）。以下、このような方法について、図13～図15を参照して説明する。

【0004】

図13において、101は素子分離溝103及び素子形成部102を有する半導体基板、104は素子分離絶縁膜、105は下部ゲート絶縁膜（トンネル絶縁膜）、106a及び106bはフローティングゲートとなるポリシリコン膜を示している。図13の工程では、素子分離絶縁膜104及びポリシリコン膜106a上にポリシリコン膜106bを形成した後、ポリシリコン膜106b上にシリコン酸化膜111を形成する。さらに、リソグラフィ及びエッチングによってシリコン酸化膜111をパターニングした後、全面にサイドスペーサ用の膜を形成し、RIE等によってシリコン酸化膜111の側面にサイドスペーサ112を形成する。このようにして、シリコン酸化膜111及びサイドスペーサ112からなり、開口部113を有するエッチングマスクが形成される。

【0005】

次に、図14に示すように、上記エッチングマスクをマスクとして、ポリシリコン膜106b及び素子分離絶縁膜104をエッチングし、凹部114を形成する。

【0006】

次に、図15に示すように、エッチングマスクを除去した後、上部ゲート絶縁膜（ONO膜）107を形成し、さらにコントロールゲート線となるポリシリコン膜108a及びWSi膜108bを形成する。その後、WSi膜108b、ポリシリコン膜108a、上部ゲート絶縁膜107、ポリシリコン膜106b及びポリシリコン膜106aをパターニングして、メモリセルの分離を行う。

【0007】

このように、上述した従来技術では、素子分離絶縁膜104に形成した凹部114をポリシリコン膜108aで埋めることで、隣接するフローティングゲート（ポリシリコン膜106a及び106b）間の容量結合を抑制することが一応可能である。

【0008】

しかしながら、上述した従来技術では、シリコン酸化膜111のパターンはリソグラフィ技術を用いて形成されるため、シリコン酸化膜111のパターンと素子分離溝103（素子分離絶縁膜104）のパターンとの間には位置合わせ誤差が生じ得る。したがって、凹部114を素子分離絶縁膜104内に確実に形成するためには、位置合わせ誤差を考慮して、シリコン酸化膜111及びサイドスペーサ112からなるエッチングマスクの幅にマージンを持たせる必要がある。すなわち、エッチングマスクの開口部113の幅を、マージンの分だけ、素子分離溝103の幅よりも狭くしなければならない。その結果、ポリシリコン膜106b及び素子分離絶縁膜104をエッチングして得られた凹部114の幅も、必然的に素子分離溝103の幅よりも狭くなる。そのため、隣接するメモリセル間の間隔、すなわち素子分離溝103の幅が狭くなると、凹部114をポリシリコン膜108aで埋めることが極めて困難になり、フローティングゲート間の容量結合を抑制すること

が難しくなる。

【0009】

このように、従来は、素子分離溝の幅が狭くなると、素子分離絶縁膜の凹部内にコントロールゲート線を形成することが困難になり、フローティングゲート間の容量結合を抑制することが難しくなるという問題があった。

【特許文献1】特開2001-168306号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

本発明は、素子分離溝の幅が狭くなっても、素子分離絶縁膜の凹部内にコントロールゲート線を確実に形成することで、フローティングゲート間の容量結合を効果的に抑制することが可能な半導体装置及びその製造方法を提供することを目的としている。

【課題を解決するための手段】

【0011】

本発明の第1の視点に係る半導体装置は、素子分離溝によって区画された第1及び第2の素子形成部を有する半導体基板と、前記第1及び第2の素子形成部上にそれぞれ形成された第1及び第2の下部ゲート絶縁膜と、前記第1及び第2の下部ゲート絶縁膜上にそれぞれ形成された第1及び第2のフローティングゲートと、少なくとも前記素子分離溝内に形成され且つ上面に凹部を有する素子分離絶縁膜と、前記第1及び第2のフローティングゲートの表面上に形成された上部ゲート絶縁膜と、前記上部ゲート絶縁膜を介して前記第1及び第2のフローティングゲートに対向形成された部分及び前記凹部内に形成された部分を有するコントロールゲート線と、を備え、前記第1のフローティングゲートの前記第2のフローティングゲートと対向する側面全体が前記第1の素子形成部の前記素子分離溝により区切られた側面に整合し、且つ前記第2のフローティングゲートの前記第1のフローティングゲートと対向する側面全体が前記第2の素子形成部の前記素子分離溝により区切られた側面に整合していることを特徴とする。

【0012】

本発明の第2の視点に係る半導体装置の製造方法は、半導体基板上に下部ゲート絶縁膜を形成する工程と、前記下部ゲート絶縁膜上にフローティングゲート材料膜を形成する工程と、前記フローティングゲート材料膜、前記下部ゲート絶縁膜及び前記半導体基板をパターンニングして、溝によって区画された第1及び第2のパターン部を形成する工程と、前記溝内に第1の凹部を有する下部絶縁膜を形成する工程と、前記下部絶縁膜上に上部絶縁膜を形成して、前記第1の凹部を上部絶縁膜で埋める工程と、前記上部絶縁膜のエッチングレートの方が前記下部絶縁膜のエッチングレートよりも高い条件で前記上部絶縁膜をエッチングして、前記第1の凹部に対応した第2の凹部を前記下部絶縁膜に形成する工程と、前記第1及び第2のパターン部に含まれるフローティングゲート材料膜の表面上に上部ゲート絶縁膜を形成する工程と、前記上部ゲート絶縁膜上及び前記第2の凹部内にコントロールゲート材料膜を形成する工程と、を備えたことを特徴とする。

【発明の効果】

【0013】

本発明によれば、素子分離絶縁膜（下部絶縁膜）の凹部内にコントロールゲート線を容易かつ確実に形成することができ、フローティングゲート間の容量結合を効果的に抑制することが可能となる。

【発明を実施するための最良の形態】

【0014】

以下、本発明の実施形態を図面を参照して説明する。

【0015】

図1は本発明の実施形態に係る半導体装置（NAND型の不揮発性半導体記憶装置）の構成を模式的に示した平面図である。

【0016】

図1に示すように、各NANDセルユニットは、直列接続された複数のメモリセルMCに選択トランジスタSTが接続された構成となっている。ワード線方向に配列したメモリセルMC～MCは共通のコントロールゲート線（ワード線）26で接続されており、選択トランジスタST～STは共通の選択ゲート線26'で接続されている。各選択トランジスタSTには、ビット線コンタクト43を介してビット線42が接続されている。

【0017】

図2（a）は図1のA-Aに沿った断面図、図2（b）は図1のB-Bに沿った断面図である。

【0018】

半導体基板（シリコン基板）11は、複数の素子形成部12を有し、隣接する素子形成部12は素子分離溝13によって区画されている。メモリセルMC及び選択トランジスタSTは素子形成部12に形成されており、ビット線方向で隣接するメモリセルMC間ではソース／ドレイン拡散層14aが、メモリセルMCと選択トランジスタST間ではソース／ドレイン拡散層14bが、ビット線コンタクト43を介して対向する選択トランジスタST間ではソース／ドレイン拡散層14cが共有されている。

【0019】

メモリセルMCは、下部ゲート絶縁膜（トンネル絶縁膜）21、フローティングゲート22a、上部ゲート絶縁膜（ONO膜）23並びにポリシリコン膜24a及びタンゲステンシリサイド膜（WSi膜）25aで形成されたコントロールゲート（コントロールゲート線26）を備えている。後述するように、素子分離溝13のパターンを形成する際にフローティングゲート材料膜及び下部ゲート絶縁膜も同時にパターンニングされるため、フローティングゲート22a、下部ゲート絶縁膜21及び素子形成部12の側面（素子分離溝13により区切られた側面）は、互いに整合している。

【0020】

素子分離溝13内には凹部を有する素子分離絶縁膜31が形成されている。この素子分離絶縁膜31は、上方に向かって延伸した部分を含み、該延伸部分はフローティングゲート22aの側面に接している。素子分離絶縁膜31の凹部内にはコントロールゲート線26（図の例ではポリシリコン膜24a）が形成されており、このコントロールゲート線26によって隣接するフローティングゲート22a間の容量結合を抑制することが可能である。

【0021】

選択トランジスタSTの各部22a'、23'、24a'及び25a'を構成する膜はそれぞれ、メモリセルMCの各部22a、23、24a及び25aを構成する膜と同一の膜で形成されている。ただし、選択ゲート線26'は図示しない箇所で電極22a'と接続されている。また、ゲート絶縁膜21'の膜厚は、メモリセルMCの下部ゲート絶縁膜21の膜厚よりも厚くなっている。

【0022】

メモリセルMC及び選択トランジスタSTは層間絶縁膜41で覆われている。層間絶縁膜41上にはビット線42が形成されており、ビット線42はビット線コンタクト43を介してソース／ドレイン拡散層14cに接続されている。

【0023】

以下、本実施形態に係る半導体装置の製造工程について、図3～図12を参照して説明する。なお、図3～図11及び図12（a）は図1のA-A断面に対応し、図12（b）は図1のB-B断面に対応したものである。

【0024】

まず、図3に示すように、シリコン基板等の半導体基板11上に、下部ゲート絶縁膜21として、熱酸化法によって厚さ10nm程度のシリコン酸化膜を形成する。なお、選択トランジスタを形成する領域には、より厚い絶縁膜を形成する。続いて、フローティングゲート材料膜22として、LP-CVD（low pressure chemical vapor deposition）法によって厚さ160nm程度のポリシリコン膜を形成する。さらに、CMP（chemical m

echanical polishing) プロセスにおけるストッパー膜として、LP-CVD法によって厚さ90nm程度のシリコン窒化膜27を形成する。続いて、シリコン窒化膜27上に、リソグラフィ技術を用いて、フォトレジストパターン28を形成する。

【0025】

次に、図4に示すように、フォトレジストパターン28をエッチングマスクとして、シリコン窒化膜27、ポリシリコン膜22、下部ゲート絶縁膜21及び半導体基板11をエッチングする。その結果、溝33並びにパターンニングされたシリコン窒化膜27、ポリシリコン膜22、下部ゲート絶縁膜21及び半導体基板11で形成されたパターン部30が得られる。半導体基板11には、素子形成部12及び深さ220nm程度の素子分離溝13が形成される。同一のフォトレジストパターン28をマスクとしてパターンニングが行われるため、ポリシリコン膜22、下部ゲート絶縁膜21及び素子形成部12の側面(素子分離溝13により区切られた側面)は、互いに整合している。

【0026】

次に、図5に示すように、素子分離絶縁膜となる下部絶縁膜31として、プラズマCVD法によって凹部34を有するシリコン酸化膜を形成する。このシリコン酸化膜31の厚さは、凹部34が形成されることなく溝33が埋め込まれてしまわないよう、溝33の幅の1/2未満であり、所望の凹部34が得られるべく、溝33の幅や深さ等を考慮して決められる。本例ではシリコン酸化膜31の厚さが、図示しない平坦領域において200nm程度の厚さとなるようにする。

【0027】

次に、図6に示すように、全面にポリシラザンを塗布し、さらに水蒸気添加酸化雰囲気において熱処理を行ってポリシラザンを緻密化する。これにより、ポリシラザンで形成された上部絶縁膜32が得られる。上部絶縁膜32としてポリシラザン等の塗布膜を用いることにより、凹部34が深くても、凹部34を容易に埋めることができる。

【0028】

次に、図7に示すように、CMP法によって溝33外に形成された上部絶縁膜32及び下部絶縁膜31を除去し、上部絶縁膜32及び下部絶縁膜31を平坦化する。このとき、シリコン窒化膜27がCMPのストッパーとして機能する。上部絶縁膜32が形成されていないと、CMP後に研磨粒子が凹部34に残るといった問題が生じるが、凹部34が上部絶縁膜32で埋められているため、そのような問題は生じない。

【0029】

次に、図8に示すように、シリコン窒化膜27を除去し、ポリシリコン膜22の上面を露出させる。

【0030】

次に、図9に示すように、上部絶縁膜32をエッチングによって除去し、凹部34に対応した凹部35を形成する。エッチングには、上部絶縁膜32のエッチングレートの方が下部絶縁膜31のエッチングレートよりも高い選択エッチングを用いる。本例では、バッファフッ酸(フッ酸とフッ化アンモニウムとの混合液)を用いてエッチングを行う。バッファフッ酸を用いることで、CVDシリコン酸化膜のエッチングレートに対するポリシラザンのエッチングレートの比(選択比)を高くすることができる。バッファフッ酸の代わりにフッ酸蒸気を用いてもよい。エッチングは膜の上部から進むため、本工程において下部絶縁膜31の上部もエッチングされ、ポリシリコン膜22の側面が部分的に露出する。エッチング条件を調整することで、ポリシリコン膜22の側面の露出量(露出幅)を調整することも可能である。

【0031】

次に、図10に示すように、上部ゲート絶縁膜23として、LP-CVD法によって所定厚さのONO膜を形成する。ONO膜は、シリコン酸化膜、シリコン窒化膜及びシリコン酸化膜が順次積層されたものである。上部ゲート絶縁膜23は、少なくともポリシリコン膜22の露出表面に形成されていればよいが、本例ではONO膜をLP-CVD法によって堆積するため、上部ゲート絶縁膜23は下部絶縁膜(素子分離絶縁膜)31上に延伸

した部分を有するように形成される。なお、選択トランジスタを形成する領域では、上部ゲート絶縁膜 23 を一部エッチング除去して、ポリシリコン膜 22 を部分的に露出させる。

【0032】

次に、図 11 に示すように、上部ゲート絶縁膜 23 上に、コントロールゲート材料膜 26 を形成し、凹部 35 をコントロールゲート材料膜 26 で埋める。具体的には、LPCVD 法によって、燐がドーピングされた厚さ 80 nm 程度のポリシリコン膜 24 を形成し、続いてスパッタリング法によって、厚さ 85 nm 程度のタングステンシリサイド膜 (WSi 膜) 25 を形成する。

【0033】

次に、図 12 (a) 及び図 12 (b) に示すように、LPCVD 法によって厚さ 300 nm 程度のシリコン窒化膜を形成する。さらに、シリコン窒化膜上にレジストパターン (図示せず) を形成し、このレジストパターンをマスクとしてシリコン窒化膜をエッチングし、シリコン窒化膜のマスクパターン 44 を形成する。このマスクパターン 44 は、素子分離溝 13 の延伸方向に対して垂直方向に延伸したものである。続いて、マスクパターン 44 をエッチングマスクとして、タングステンシリサイド膜 25、ポリシリコン膜 24、上部ゲート絶縁膜 23、ポリシリコン膜 22 をパターンニングする。これにより、ポリシリコン膜 22 のパターンで形成されたフローティングゲート 22a、ポリシリコン膜 24a 及びタングステンシリサイド膜 25a のパターンで形成されたコントロールゲート線 26 が得られる。

【0034】

その後、ソース/ドレイン拡散層 14a、14b 及び 14c の形成、層間絶縁膜 41 の形成、ビット線 43 の形成等を行う。このようにして、図 1、図 2 (a) 及び図 2 (b) に示すような半導体装置が得られる。

【0035】

以上のように、本実施形態では、素子分離絶縁膜となる下部絶縁膜 31 上に上部絶縁膜 32 を形成し、この上部絶縁膜 32 を選択エッチングによって除去することで凹部 35 を形成している。そのため、リソグラフィ技術を用いずに凹部 35 を形成することができ、従来のように凹部 35 を形成するためのマージンを設ける必要がない。したがって、凹部 35 の間口の最大幅を素子分離溝 13 の幅と同等にすることが可能である。また、フローティングゲート 22a の側面全体が素子分離溝 13 (素子形成部 12) の側面に整合しているため、隣接するフローティングゲート 22a 間の間隔は実質的に一定であり、フローティングゲート 22a によって凹部 35 の間口の幅が狭められることもない。したがって、本実施形態では、凹部 35 の間口を広くすることが可能であり、凹部 35 内に容易且つ確実にコントロールゲート線 26 を形成することができる。よって、凹部 35 内に形成されたコントロールゲート線 26 によって、フローティングゲート間の容量結合を効果的に抑制することが可能となる。

【0036】

なお、素子分離絶縁膜 (下部絶縁膜) 31 の最上部の位置がフローティングゲート 22a の下面よりも低いと、コントロールゲート線 26 と半導体基板 11 との間に上部ゲート絶縁膜 (ONO 膜) 23 が介在するだけとなり、コントロールゲート線 26 と半導体基板 11 との間の容量結合等が問題となる可能性がある。したがって、図 2 等 に示すように、素子分離絶縁膜 31 の最上部は、フローティングゲート 22a の下面よりも高く位置することが好ましい。

【0037】

また、素子分離絶縁膜 31 の最上部の位置がフローティングゲート 22a の上面よりも高いと、フローティングゲート 22a の側面全体が素子分離絶縁膜 31 で覆われるため、フローティングゲート 22a の露出面積が小さくなり、フローティングゲート 22a とコントロールゲート線 26 との間の容量を大きくすることが難しい。したがって、図 2 等 に示すように、素子分離絶縁膜 31 の最上部は、フローティングゲート 22a の上面よりも

低く位置することが好ましい。

【0038】

また、コントロールゲート線 26 の最下部の位置がフローティングゲート 22 a の下面よりも高いと、隣接するフローティングゲート 22 a 間の容量結合をコントロールゲート線 26 によって十分に抑制できないおそれがある。したがって、図 2 等に示すように、コントロールゲート線 26 の最下部（素子分離絶縁膜 31 に形成された凹部 35 の底部にほぼ対応）は、フローティングゲート 22 a の下面よりも低く位置することが好ましい。

【0039】

本実施形態では、下部絶縁膜（素子分離絶縁膜）31 に対する上部絶縁膜 32 の選択エッチングによって凹部 35 を形成するため、選択エッチングの条件等を調整することで、上述したような所望の位置関係を得ることが可能である。

【0040】

また、上述した実施形態では、図 2 等に示すように、凹部 35 全体がコントロールゲート線 26 によって埋められているが、コントロールゲート線 26 が凹部 35 の表面に沿うように形成されていても、隣接するフローティングゲート 22 a 間の容量結合を抑制することは可能である。ただし、コントロールゲート線 26 の断線等を防止する観点から、凹部 35 全体がコントロールゲート線 26 によって埋められていることが好ましい。

【0041】

また、下部絶縁膜 31 及び上部絶縁膜 32 には、上部絶縁膜 32 のエッチングレートの方が下部絶縁膜 31 のエッチングレートよりも高いものを用いればよいが、下部絶縁膜 31 に CVD 絶縁膜を用い、上部絶縁膜 32 に塗布膜を用いることで、エッチングの選択比を高くすることができ、上部絶縁膜 32 の選択エッチングを容易に行うことができる。

【0042】

以上、本発明の実施形態を説明したが、本発明は上記実施形態に限定されるものではなく、その趣旨を逸脱しない範囲内において種々変形して実施することが可能である。さらに、上記実施形態には種々の段階の発明が含まれており、開示された構成要件を適宜組み合わせることによって種々の発明が抽出され得る。例えば、開示された構成要件からいくつかの構成要件が削除されても、所定の効果が得られるものであれば発明として抽出され得る。

【図面の簡単な説明】

【0043】

【図 1】 本発明の実施形態に係る半導体装置の構成を模式的に示した平面図である。

【図 2】 本発明の実施形態に係る半導体装置の構成を模式的に示した断面図である。

【図 3】 本発明の実施形態に係る半導体装置の製造工程の一部を模式的に示した断面図である。

【図 4】 本発明の実施形態に係る半導体装置の製造工程の一部を模式的に示した断面図である。

【図 5】 本発明の実施形態に係る半導体装置の製造工程の一部を模式的に示した断面図である。

【図 6】 本発明の実施形態に係る半導体装置の製造工程の一部を模式的に示した断面図である。

【図 7】 本発明の実施形態に係る半導体装置の製造工程の一部を模式的に示した断面図である。

【図 8】 本発明の実施形態に係る半導体装置の製造工程の一部を模式的に示した断面図である。

【図 9】 本発明の実施形態に係る半導体装置の製造工程の一部を模式的に示した断面図である。

【図 10】 本発明の実施形態に係る半導体装置の製造工程の一部を模式的に示した断面図である。

【図 11】 本発明の実施形態に係る半導体装置の製造工程の一部を模式的に示した断

面図である。

【図 1 2】本発明の実施形態に係る半導体装置の製造工程の一部を模式的に示した断面図である。

【図 1 3】従来技術に係る半導体装置の製造工程の一部を模式的に示した断面図である。

【図 1 4】従来技術に係る半導体装置の製造工程の一部を模式的に示した断面図である。

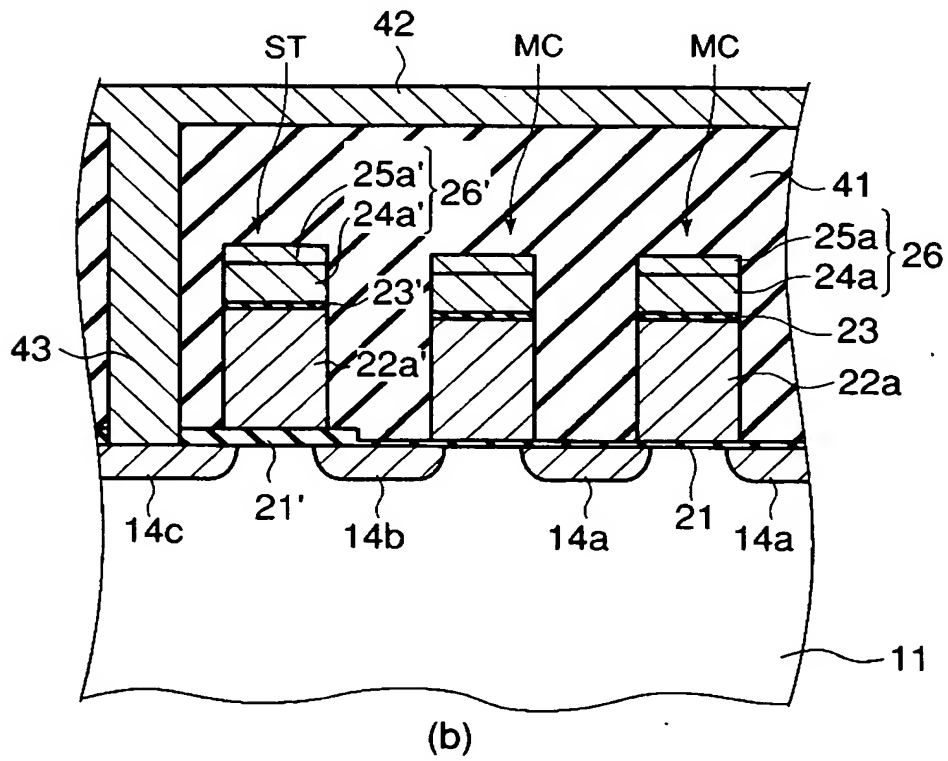
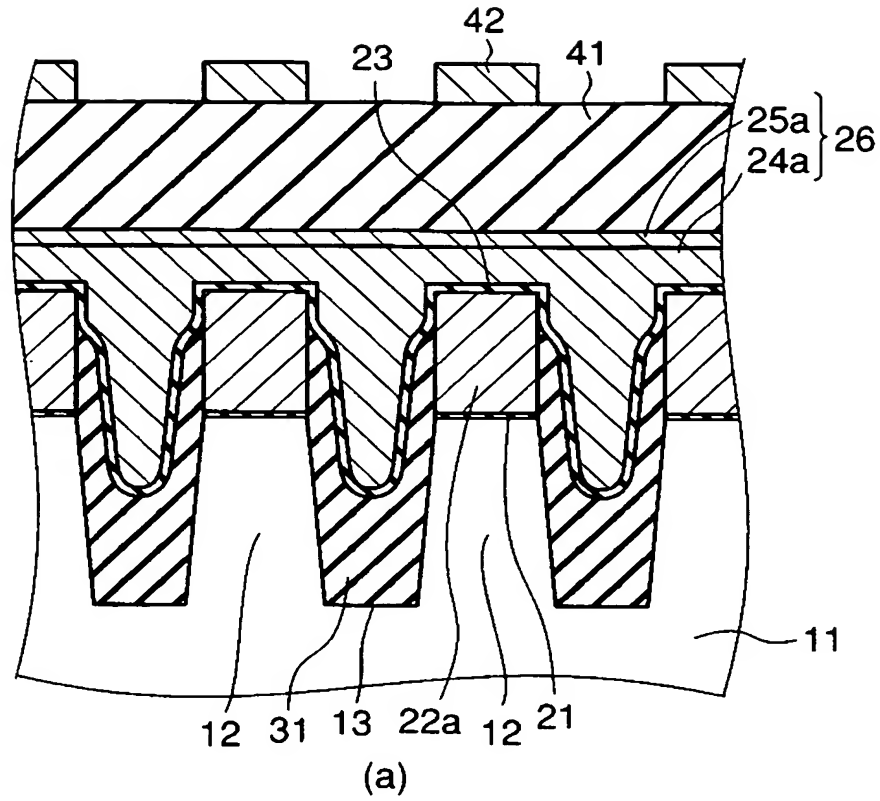
【図 1 5】従来技術に係る半導体装置の製造工程の一部を模式的に示した断面図である。

【符号の説明】

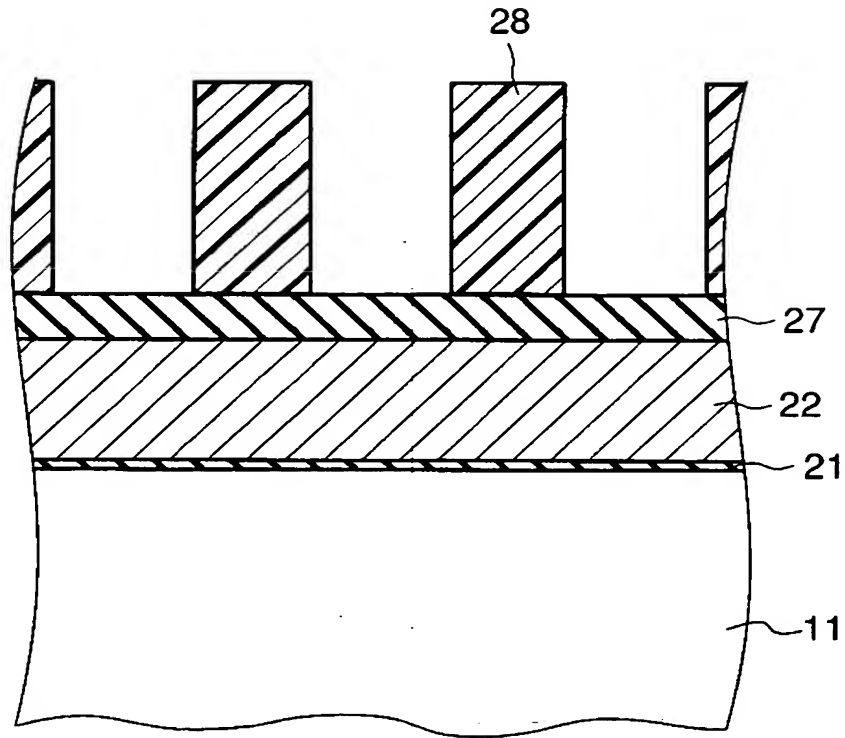
【0044】

ST…選択トランジスタ	MC…メモリセル
11…半導体基板	12…素子形成部
13…素子分離溝	14a、14b、14c…ソース／ドレイン拡散層
21…下部ゲート絶縁膜	22…フローティングゲート材料膜
22a…フローティングゲート	23…上部ゲート絶縁膜
24、24a…ポリシリコン膜	25、25a…タンゲステンシリサイド膜
26…コントロールゲート線	27…シリコン窒化膜
28…フォトレジストパターン	30…パターン部
31…下部絶縁膜（素子分離絶縁膜）	32…上部絶縁膜
33…溝	34、35…凹部
41…層間絶縁膜	42…ビット線コンタクト
43…ビット線	44…マスクパターン

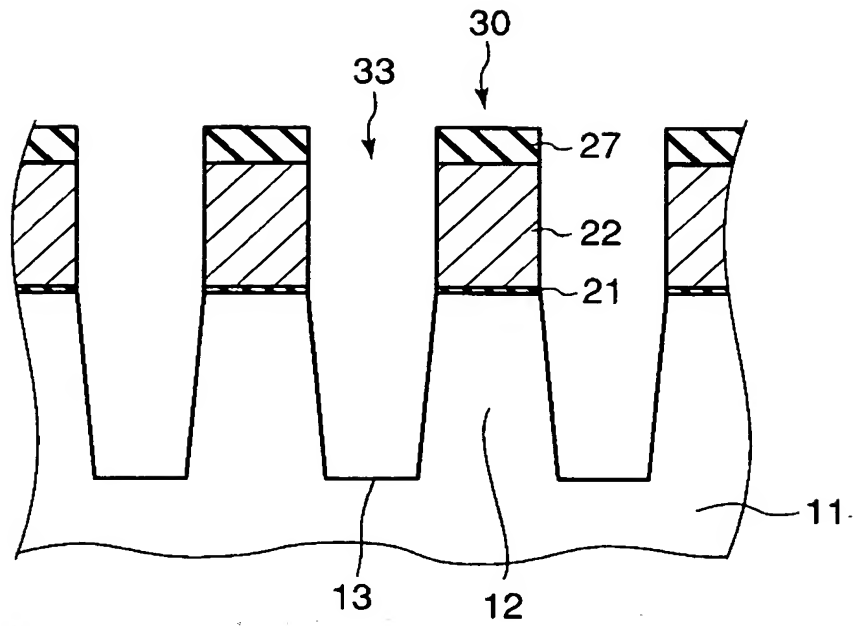
【図 2】



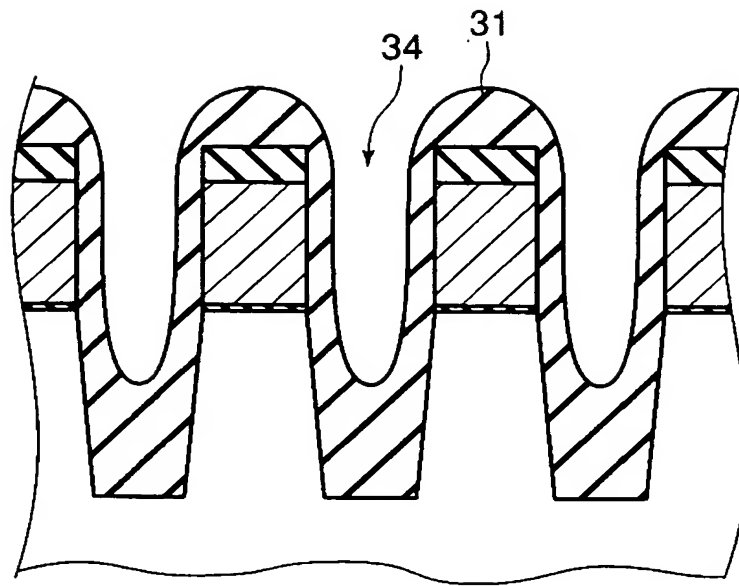
【図 3】



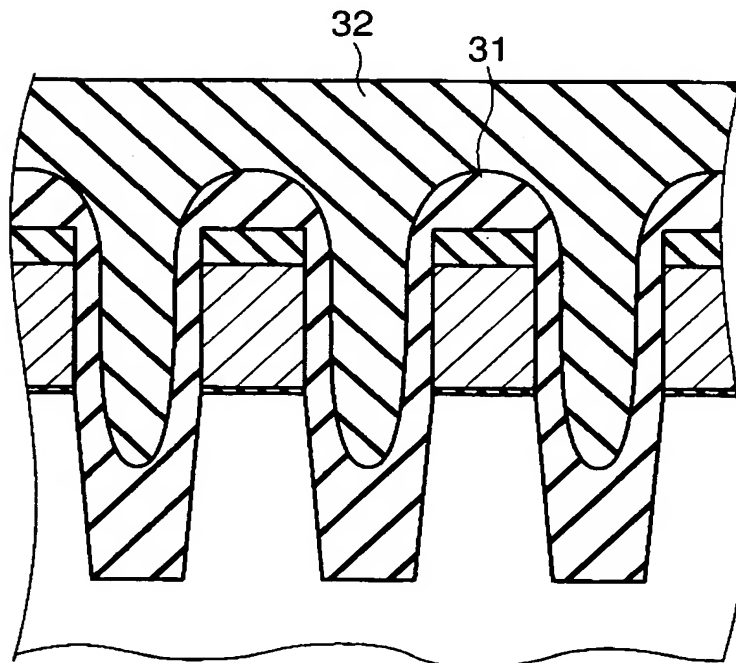
【図 4】



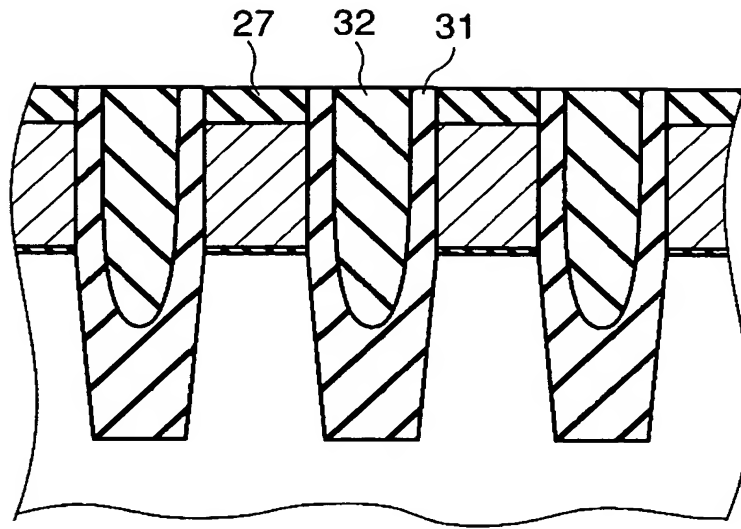
【図 5】



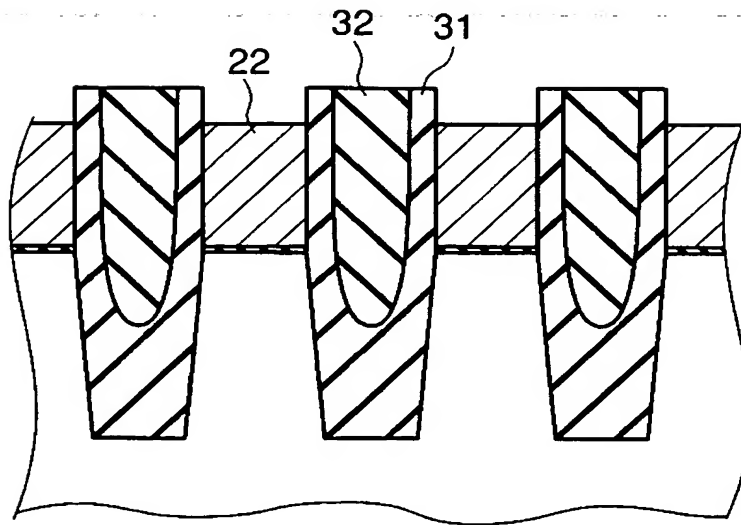
【図 6】



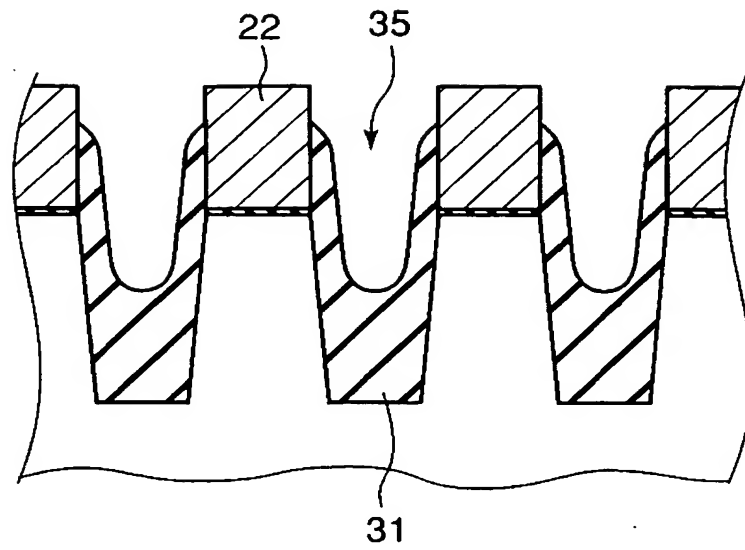
【図 7】



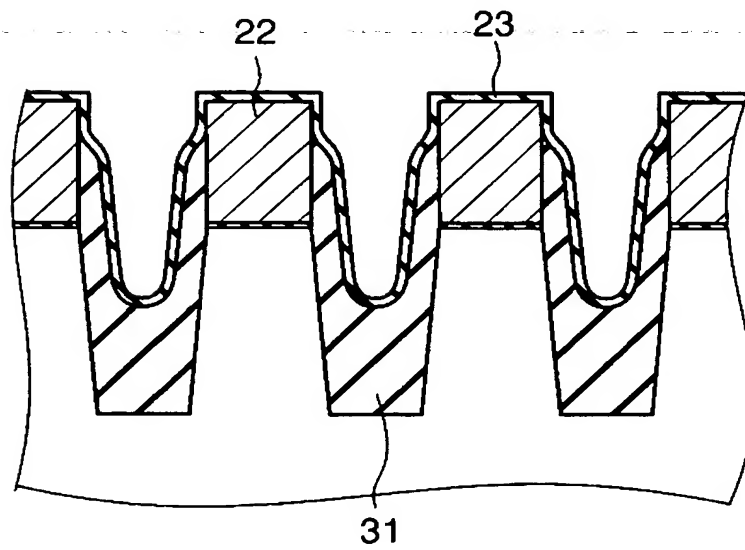
【図 8】



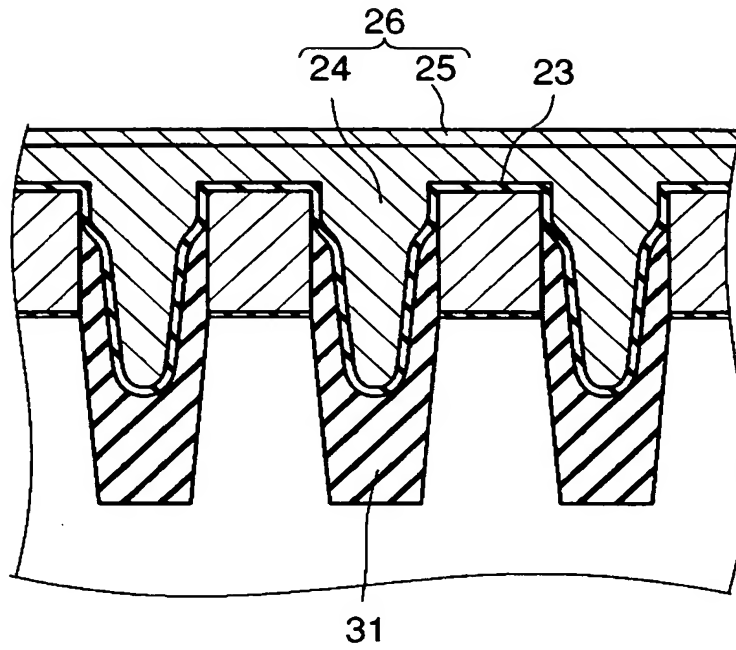
【図 9】



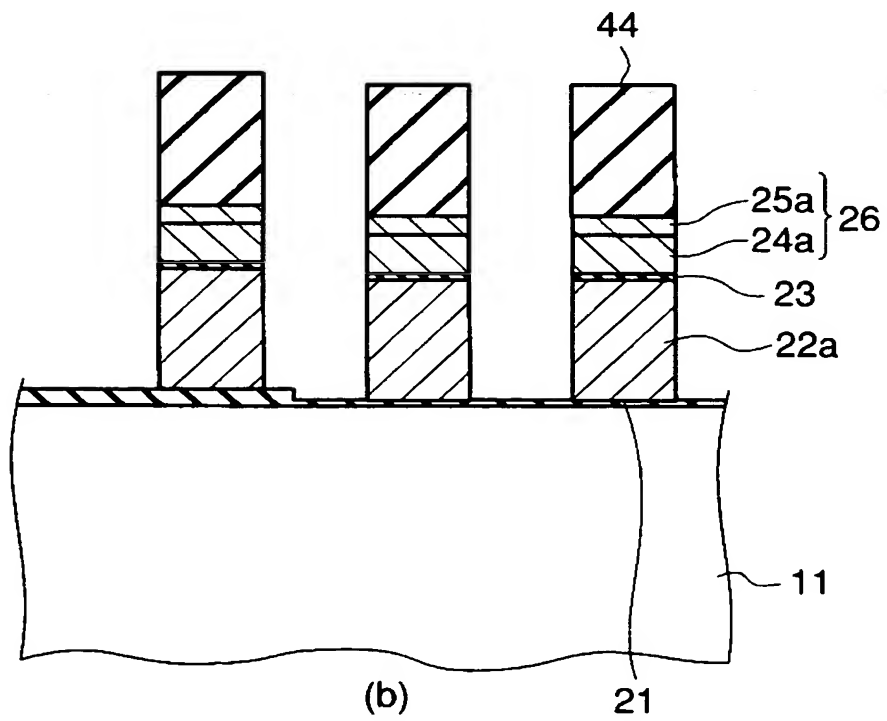
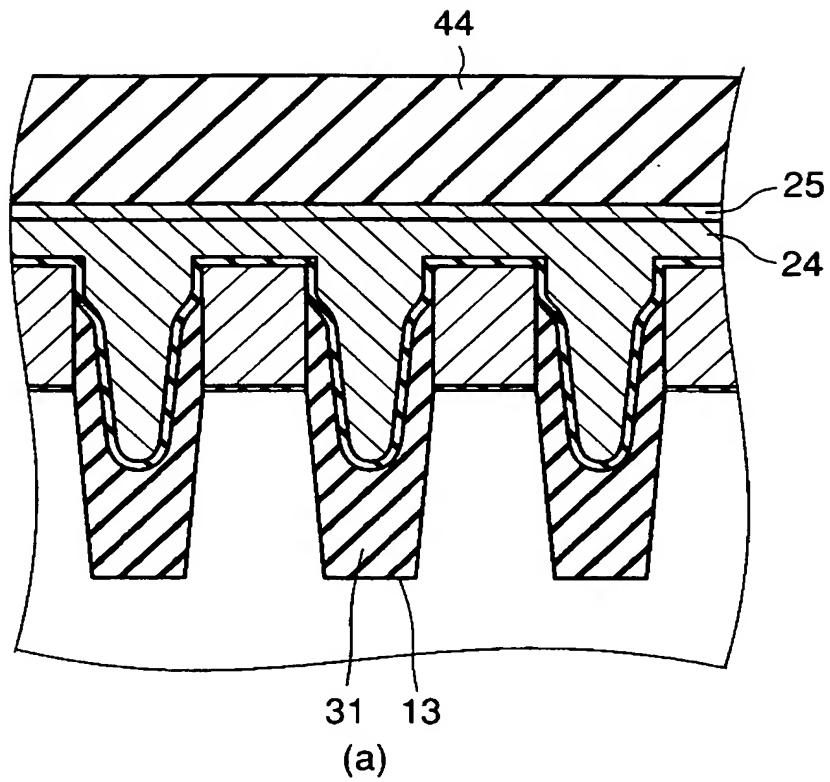
【図 10】



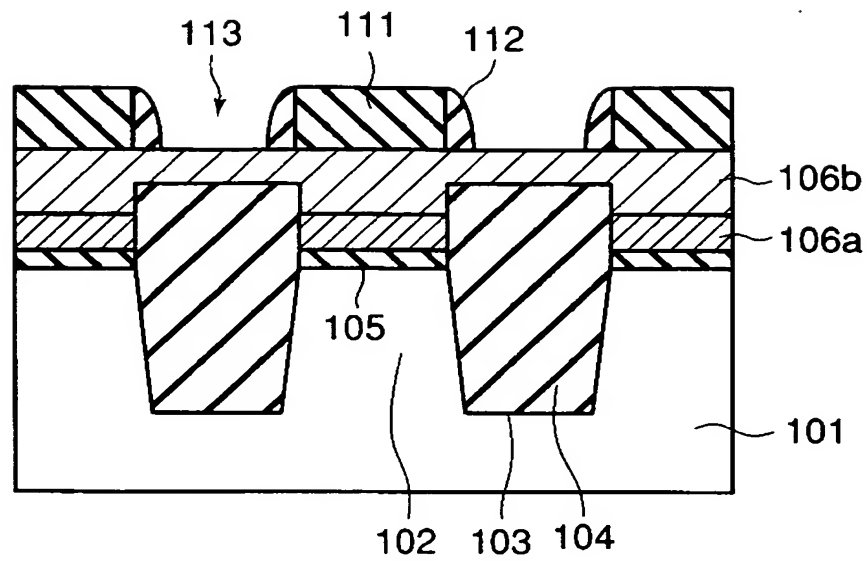
【図 11】



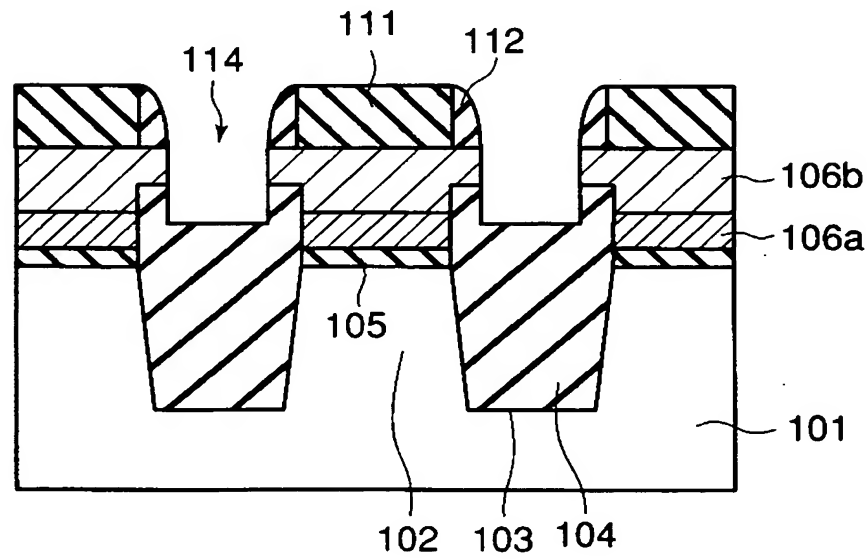
【図 12】



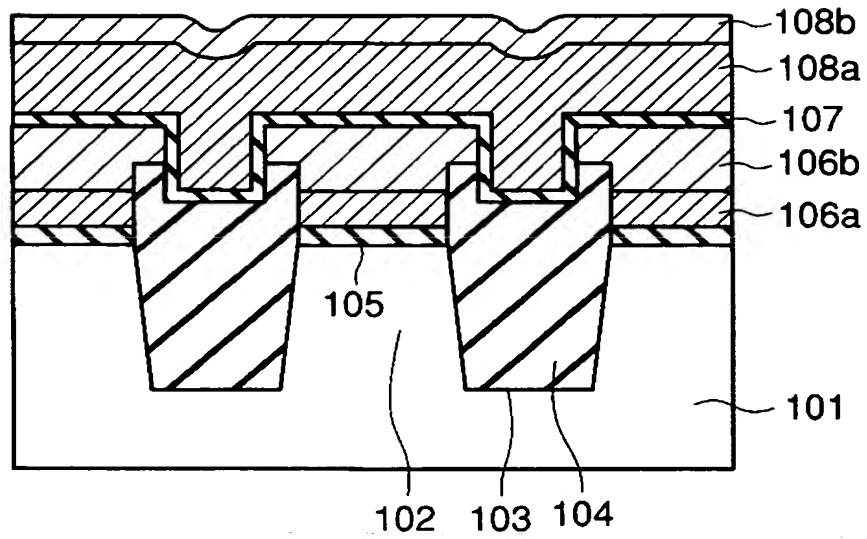
【図 13】



【図 14】



【図 15】



【書類名】 要約書

【要約】

【課題】 F G間の容量結合を効果的に抑制することが可能な半導体装置を提供する。

【解決手段】 素子分離溝 13 によって区画された第 1 及び第 2 の素子形成部 12 を有する半導体基板 11 と、第 1 及び第 2 の素子形成部上にそれぞれ形成された第 1 及び第 2 の下部ゲート絶縁膜 21 と、第 1 及び第 2 の下部ゲート絶縁膜上にそれぞれ形成された第 1 及び第 2 の F G 22 a と、少なくとも素子分離溝内に形成され且つ上面に凹部を有する素子分離絶縁膜 31 と、第 1 及び第 2 の F G の表面上に形成された上部ゲート絶縁膜 23 と、上部ゲート絶縁膜を介して第 1 及び第 2 の F G に対向形成された部分及び凹部内に形成された部分を有する C G 線 26 とを備え、第 1 の F G の第 2 の F G と対向する側面全体が第 1 の素子形成部の素子分離溝により区切られた側面に整合し、且つ第 2 の F G の第 1 の F G と対向する側面全体が第 2 の素子形成部の素子分離溝により区切られた側面に整合している。

【選択図】 図 2

特願 2003-316794

出 願 人 履 歴 情 報

識別番号

[000003078]

1. 変更年月日

2001年 7月 2日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目1番1号

氏 名

株式会社東芝